

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-078339

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H02M 3/28

(21)Application number : 2000-255029

(71)Applicant : SANKEN ELECTRIC CO LTD

(22)Date of filing : 25.08.2000

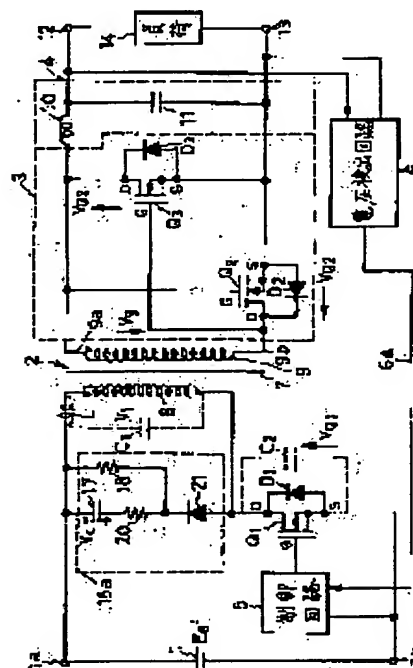
(72)Inventor : TSURUYA MAMORU

## (54) DC-DC CONVERTER

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the noise of a DC-DC converter and to improve the efficiency of the DC-DC converter.

SOLUTION: A series circuit composed of a switching device Q1 and the primary winding 8 of a transformer 2 is connected to a DC power supply 1. Second and third diodes D2 and D3 and second and third switching devices Q2 and Q3, comprising a synchronous rectifier circuit, are connected to the secondary winding 9 of the transformer 2. The second and third switching devices Q2 and Q3 are driven by the voltage of the secondary winding. A surge absorption circuit 15a is connected to the primary winding 8. The surge absorption circuit 15a consists of a series circuit, having a long accumulation time and comprising a diode 21, a resistor 20, and a capacitor 17.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-78339

(P 2002-78339 A)

(43) 公開日 平成14年3月15日 (2002. 3. 15)

(51) Int. Cl.<sup>7</sup>

H 0 2 M 3/28

識別記号

F I

H 0 2 M 3/28

テーマコード\* (参考)

R 5H730

F

審査請求 未請求 請求項の数 8

O L

(全 1 3 頁)

(21) 出願番号 特願2000-255029 (P2000-255029)

(22) 出願日 平成12年8月25日 (2000. 8. 25)

(71) 出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72) 発明者 鶴谷 守

埼玉県新座市北野三丁目6番3号 サンケン  
電気株式会社内

(74) 代理人 100072154

弁理士 高野 則次

F ターム (参考) 5H730 AA14 AA20 BB23 BB57 DD04

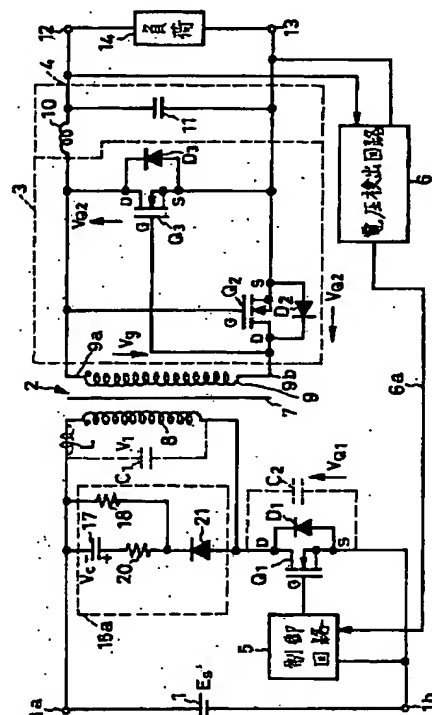
DD41 EE08 EE14 FD01 FG05

(54) 【発明の名称】 DC-DCコンバータ

(57) 【要約】

【課題】 DC-DCコンバータのノイズの低減及び効率向上が要求されている。

【解決手段】 スイッチング素子Q1とトランス2の1次巻線8との直列回路を直流電源1に接続する。トランス2の2次巻線9に同期整流回路を構成する第2及び第3のダイオードD2、D3と第2及び第3のスイッチング素子Q2、Q3を接続する。第2及び第3のスイッチング素子Q2、Q3を2次巻線の電圧で駆動する。1次巻線8に並列にサージ吸収回路15aを接続する。サージ吸収回路15aを蓄積時間の長いダイオード21と抵抗20とコンデンサ17との直列回路で構成する。



## 【特許請求の範囲】

【請求項 1】 負荷に直流電力を供給するための DC-DC コンバータであって、

直流電圧を供給する直流電源と、

前記直流電圧を繰返してオン・オフするために前記直流電源の一端と他端との間に接続され、且つ第 1 及び第 2 の主端子と制御端子とを有している主スイッチング素子と、

前記主スイッチング素子を介して前記直流電源の一端と他端との間に接続された 1 次巻線と前記 1 次巻線に電磁結合された 2 次巻線とを有し且つ前記 1 次巻線はインダクタンスと浮遊容量とを有しているトランスと、

前記 2 次巻線の電圧を直流電圧に変換するための同期整流用スイッチング素子とダイオードとを含み且つ前記同期整流用スイッチング素子が前記 2 次巻線の電圧で駆動されるように形成されている同期整流回路と、

前記主スイッチング素子をオン・オフ制御するための制御回路と、

前記主スイッチング素子のターンオフ時に前記主スイッチング素子に印加されるサージ電圧を吸収するために前記 1 次巻線に対して並列に接続されたサージ吸収用コンデンサと、

前記主スイッチング素子がオン状態の時に非導通状態に保たれ、前記主スイッチング素子のターンオフ時に順方向バイアスされる方向性を有して前記サージ吸収用コンデンサに直列に接続され、且つ前記 1 次巻線のインダクタンスとこのインダクタンスに対して電氣的に並列に分布している浮遊容量とに基づいて前記 1 次巻線に生じる振動電圧の周期の  $1/2$  よりも長く且つ前記主スイッチング素子の最小オフ期間よりも短い蓄積時間を有している整流ダイオードと、

前記サージ吸収用コンデンサと前記整流ダイオードとの両方に直列に接続された直列抵抗とを有していることを特徴とする DC-DC コンバータ。

【請求項 2】 更に、前記サージ吸収用コンデンサに対して並列に接続された放電用の並列抵抗を有していることを特徴とする請求項 1 記載の DC-DC コンバータ。

【請求項 3】 前記並列抵抗は、前記サージ吸収用コンデンサと前記直列抵抗との直列回路に対して並列に接続されていることを特徴とする請求項 2 記載の DC-DC コンバータ。

【請求項 4】 更に、前記整流ダイオードの蓄積時間よりも短い蓄積時間を有する別の整流ダイオードを有し、この別の整流ダイオードは前記直列抵抗に並列に接続されていることを特徴とする請求項 2 記載の DC-DC コンバータ。

【請求項 5】 前記直列抵抗は前記整流ダイオードと同一の包囲体に收容されていることを特徴とする請求項 1 又は 2 記載の DC-DC コンバータ。

【請求項 6】 前記サージ吸収用コンデンサは、前記 1

次巻線に対して前記直流電源を介さないで並列に接続されていることを特徴とする請求項 1 乃至 5 のいずれかに記載の DC-DC コンバータ。

【請求項 7】 前記サージ吸収用コンデンサは、前記 1 次巻線に対して前記直流電源を介して並列に接続され且つ前記主スイッチング素子に対して並列に接続されていることを特徴とする請求項 1 乃至 5 のいずれかに記載の DC-DC コンバータ。

【請求項 8】 前記蓄積時間は  $125\text{ ns} \sim 7\text{ }\mu\text{ s}$  の範囲の値である請求項 1 乃至 7 のいずれかに記載の DC-DC コンバータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、負荷に直流電力を供給するための直流-直流変換器即ち DC-DC コンバータに関する。

## 【0002】

【従来の技術及び発明が解決しようとする課題】 従来の典型的な DC-DC コンバータは、直流電源にトランスの 1 次巻線を介して接続されたスイッチング素子と、これをオン・オフするための制御回路と、トランスの 2 次巻線に接続された整流回路と、整流回路に接続された平滑回路とから成る。この種の DC-DC コンバータにおいて、整流回路はダイオード又はショットキバリアダイオードで構成される。しかし、ダイオードにおける電圧降下が  $0.5 \sim 0.8\text{ V}$  程度となり、DC-DC コンバータの効率低下の要因になる。この効率低下は特に出力電圧が  $2\text{ V}$ 、 $3.3\text{ V}$ 、 $5\text{ V}$  のように比較的低い場合に顕著になる。この種の問題を解決するために、図 1 に示すように整流回路にスイッチ素子を付加して同期整流回路を構成することが知られている。

【0003】 図 1 の DC-DC コンバータは、フォワード型 DC-DC コンバータと呼ばれているものであって、例えば整流平滑回路から成る直流電源 1 と、トランス 2 と、主スイッチング素子としての第 1 のスイッチング素子 Q1 と、同期整流回路 3 と、平滑回路 4 と、制御回路 5 と、電圧検出回路 6 と、スナバ (snubber) 用コンデンサ C と第 1 のダイオード D1 とを有する。トランス 2 は磁気コア 7 に巻き回され且つ相互に電磁結合された 1 次及び 2 次巻線 8、9 を有する。FET から成る第 1 のスイッチング素子 Q1 は第 1 及び第 2 の主端子としてドレイン電極 D とソース電極 S 及び制御端子としてのゲート電極 G を有する。第 1 のスイッチング素子 Q1 の一方の端子即ちドレイン電極 D はインダクタンスを有する 1 次巻線 8 を介して直流電源 1 の一方の端子 1a に接続され、第 1 のスイッチング素子 Q1 の他方の端子即ちソース電極 S は直流電源 1 の他方の端子 1b に接続されている。同期整流回路 3 は 2 次巻線 9 の一端 9a 及び他端 9b に接続されており、FET から成る同期整流用の第 2 及び第 3 のスイッチング素子 Q2、Q3 と第 2 及び第

3のダイオードD2、D3とを有する。第2のスイッチング素子Q2の第1の主端子であるドレイン電極は2次巻線9の他端9bに接続され、この制御端子としてのゲート電極は2次巻線9の一端9aに接続されている。第3のスイッチング素子Q3の第1の主端子としてのドレイン電極は2次巻線9の一端に接続され、この第2の主端子としてのソース電極は第2のスイッチング素子Q2の第2の主端子としてのソース電極に接続され、この制御端子としてのゲート電極は2次巻線9の他端9bに接続されている。第2及び第3のダイオードD2、D3は第2及び第3のスイッチング素子Q2、Q3に並列に接続されている。第2のダイオードD2の方向は第1のスイッチング素子Q1のオン期間に2次巻線9に得られる電圧によって順方向バイアスされるように決定されている。第3のダイオードD3の方向は第1のスイッチング素子Q1のオン期間に2次巻線9に得られる電圧によって逆バイアスされるように決定されている。第1、第2及び第3のダイオードD1、D2、D3は、第1、第2及び第3のスイッチング素子Q1、Q2、Q3と同一の半導体基体に形成された内蔵又は寄生ダイオードである。1次巻線8と2次巻線9との極性は図1で黒丸で示すように設定されている。従って、2次巻線9に接続された第2のスイッチング素子Q2及び第2のダイオードD2は第1のスイッチング素子Q1のオン期間に導通する。

【0004】平滑回路4は平滑用リアクトル10と平滑用コンデンサ11とから成る。平滑用コンデンサ11は平滑用リアクトル10を介して転流用の第3のスイッチング素子Q3に並列に接続されている。なお、ここでは、第3のスイッチング素子Q3を同期整流回路3に含めたが、平滑回路4の一部と考えることもできる。平滑用コンデンサ11に接続された対の出力端子12、13間に負荷14が接続されている。電圧検出回路6は対の出力端子12、13間の電圧を検出し、制御回路5に送る。電圧検出回路6は、一般には、出力電圧を検出するための分圧抵抗と、基準電圧源と、誤差増幅器とから成り、分圧抵抗から得られる出力電圧の検出値と基準電圧源の基準電圧とが誤差増幅器に入力し、誤差増幅器の出力が電圧検出信号又は電圧帰還制御となる。制御回路5は出力端子12、13間の電圧を一定にするための制御信号を形成し、これによって第1のスイッチング素子Q1をオン・オフ制御する。図1の制御回路5を概略的に示す図2から明かなように、この制御回路5は、鋸波発生器5aと比較器5bと駆動回路5cとから成り、例えば20～150kHz程度の周波数の鋸波電圧とライン6aの図1の電圧検出回路6の出力電圧とを比較して方形波パルスを作成し、このパルスを含む制御信号を駆動回路5cを介してスイッチング素子Q1のゲート電極Gに送る。なお、電圧検出回路6と制御回路5とは一般には光結合されている。

【0005】図3の(A)は図1の第1のスイッチング

素子Q1のゲート制御信号 $V_{G1}$ 、(B)(D)(E)は第1、第2及び第3のスイッチング素子Q1、Q2、Q3の対の主端子間即ちドレイン・ソース間電圧 $V_{Q1}$ 、 $V_{Q2}$ 、 $V_{Q3}$ 、(C)は2次巻線9の電圧 $V_9$ を示す。この図3から明かなように、 $t_0 \sim t_1$ 、 $t_5 \sim t_6$ で第1のスイッチング素子Q1が図3(A)の制御信号でオン制御されると、これが導通状態となり、この主端子間電圧 $V_{Q1}$ は図3(B)に示すように零に近い値になる。第1のスイッチング素子Q1のオン期間 $t_0 \sim t_1$ 、 $t_5 \sim t_6$ は、2次巻線9の電圧 $V_9$ は図3(C)に示すように正方向に発生するので、第2のダイオードD2は順バイアス状態となり、また、Nチャネル絶縁ゲート型電界効果トランジスタから第2のスイッチング素子Q2は2次巻線9の電圧 $V_9$ によってオン駆動される。従って、 $t_0 \sim t_1$ 、 $t_5 \sim t_6$ のオン期間 $T_{on}$ における第2のスイッチング素子Q2の主端子間電圧 $V_{Q2}$ は図3(D)に示すように零に近い値になる。また、第3のスイッチング素子Q3及び第3のダイオードD3は、 $t_0 \sim t_1$ 、 $t_5 \sim t_6$ のオン期間 $T_{on}$ に逆バイアス状態にあるので、第3のスイッチング素子Q3の主端子間の電圧 $V_{Q3}$ は図3(E)に示すように2次巻線9の電圧 $V_9$ にほぼ一致した高い値になる。

【0006】第1のスイッチング素子Q1が $t_1$ 時点でオフ制御されると、オン期間 $T_{on}$ にトランス2に蓄積されたエネルギーの放出によって1次巻線8に発生するフライバック電圧 $V_f$ と電源1の電圧 $E_s$ との和の電圧 $E_s + V_f$ が第1のスイッチング素子Q1に印加される。第1のスイッチング素子Q1にはソフトスイッチング用又はスナバ用コンデンサCが並列に接続されているので、このコンデンサCによってサージ電圧が吸収され、コンデンサCの電圧即ち第1のスイッチング素子Q1の端子間電圧 $V_{Q1}$ の急激な上昇が抑えられ、この電圧 $V_{Q1}$ は図3(B)に示すように $t_1 \sim t_3$ 期間に徐々に上昇する。コンデンサCの充電が $t_3$ 時転で終了すると、 $t_3 \sim t_4$ 期間でコンデンサCの放電が生じ、コンデンサCのエネルギーの一部が電源1に回生される。コンデンサCの放電は、この電圧 $V_{Q1}$ と電源1の電圧 $E_s$ とが同一になる $t_4$ 時点で終了する。その後 $t_4 \sim t_5$ 区間の第1のスイッチング素子Q1の電圧 $V_{Q1}$ は電源電圧 $E_s$ に保たれる。 $t_1 \sim t_5$ のオフ期間 $T_{off}$ に1次巻線8に印加される電圧は、第1のスイッチング素子Q1の電圧 $V_{Q1}$ と電源電圧 $E_s$ との差の電圧であり、正弦波状に変化する電圧になる。この結果、2次巻線9の電圧 $V_9$ が図3

(C)に示すように $t_1 \sim t_5$ 期間に正弦波状に変化する。オフ期間 $T_{off}$ には第2のダイオードD2及び第2のスイッチング素子Q2は逆バイアス状態になるので、この端子間電圧 $V_{Q2}$ は図3(D)に示すように2次巻線9の電圧 $V_9$ に対応した値になる。オフ期間 $T_{off}$ には平滑用リアクトル10の蓄積エネルギーの放出によって、リアクトル10とコンデンサ11と第3のダイオ

ードD3又はスイッチング素子Q3の回路に電流が流れる。オフ期間T<sub>off</sub>において、第3のダイオードD3は、2次巻線9の電圧V<sub>9</sub>に無関係に導通状態に転換するが、第3のスイッチング素子Q3は2次巻線9の電圧V<sub>9</sub>に依存してオン状態に転換する。即ち、2次巻線9の逆方向の電圧V<sub>9</sub>が第3のスイッチング素子Q3をオンにすることができるゲート・ソース間電圧のしきい値をV<sub>th</sub>を横切っている期間t<sub>2</sub>~t<sub>4</sub>で第3のスイッチング素子Q3はオンになる。2次巻線の電圧V<sub>9</sub>は、t<sub>1</sub>~t<sub>2</sub>及びt<sub>4</sub>~t<sub>5</sub>区間でしきい値V<sub>th</sub>に達しないで、この区

間では第3のスイッチング素子Q3がオフ状態に保たれ、第3のダイオードD3のみが導通する。図3(E)に示すようにダイオードD3のみが導通している時の第3のスイッチング素子Q3の端子間電圧V<sub>qs</sub>の値はV<sub>a</sub>

(約0.6V)であり、第3のスイッチング素子Q3がオンになった時のこの端子間電圧V<sub>qs</sub>の値はV<sub>b</sub>であり、V<sub>a</sub>はV<sub>b</sub>よりも高い。従って、t<sub>1</sub>~t<sub>2</sub>、t<sub>4</sub>~t<sub>5</sub>区間では同期整流による電圧降下低減及び損失の低減の効果を得ることができない。また、第1のスイッチング素子Q1のタ-ンオン時点にコンデンサCに電荷が残っているので、ターンオン時にこれが放出され、損失になる。

【0007】図1のスナバ用コンデンサCの代わりに、図4に示すスナバ回路即ちサージ吸収回路15を設けることが考えられる。このサージ吸収回路15は、ダイオード16とサージ吸収用コンデンサ17と抵抗18とから成る。サージ吸収用コンデンサ17はダイオード16を介して1次巻線8に並列に接続されている。抵抗18はサージ吸収用コンデンサ17に並列に接続されている。ダイオード16はスイッチング素子Q3がターンオフした時に1次巻線8に発生する電圧で順方向バイアスされる向きに接続されている。図4においてサージ吸収回路15以外は図1と同一に形成されている。

【0008】DC-DCコンバータの正常動作中には、サージ吸収用コンデンサ17が図4に示す極性に充電されている。スイッチング素子Q1のターンオフ時には、1次巻線8の電圧V<sub>1</sub>がサージ吸収用コンデンサ17の電圧V<sub>c</sub>よりも高くなるので、ダイオード16が導通状態となり、サージ電圧がコンデンサ17で吸収される。ダイオード16が導通状態の時には、1次巻線8の電圧V<sub>1</sub>がサージ吸収用コンデンサ17でクランプされる。その後、1次巻線8の電圧V<sub>1</sub>がサージ吸収用コンデンサ17の電圧V<sub>c</sub>よりも低くなると、ダイオード16が非導通状態となる。サージ吸収用コンデンサ17の放電電流が抵抗18を介して流れるので、コンデンサ17の電圧V<sub>c</sub>は徐々に低下するが、1次巻線8の電圧V<sub>1</sub>よりも低くなることはない。

【0009】ところで、1次巻線8は、図4で破線で示すようにインダクタンスL及び寄生容量即ち浮遊容量C<sub>1</sub>を有し、更にスイッチング素子Q1も浮遊容量C<sub>2</sub>を有する。なお、以下の説明においてインダクタンスLに対

して電氣的に並列に分布している浮遊容量の合計C<sub>1</sub>+C<sub>2</sub>を単に浮遊容量Cとする。インダクタンスLは漏れインダクタンスと励磁インダクタンスとの和からなり、漏れインダクタンスは等価的に1次巻線8に直列に接続され、励磁インダクタンスは等価的に1次巻線8に並列に接続される。浮遊容量Cは等価的に1次巻線8のインダクタンスLに並列に接続される。この結果、LC共振回路即ちリングング回路が形成される。なお、浮遊容量Cはサージ吸収用コンデンサ17及び出力平滑用コンデンサ11の容量よりも大幅に小さい。また、LC共振回路の共振周波数f<sub>0</sub>は

$1 / \{ 2 \pi \sqrt{LC} \}$  即ち  $1 / \{ 2 \pi (LC)^{1/2} \}$  になる。このLC共振回路のインダクタンスLは1次巻線8によって与えられるので、スイッチング素子Q1のドレイン・ソース間電圧は、電源1の電圧E<sub>s</sub>と1次巻線8に発生するフライバック電圧との和になる。スイッチング素子Q1のターンオフ時において、ダイオード16がオンになってサージ吸収用コンデンサ17によってサージ電圧が吸収された後にダイオード16がオフになると、LC回路によってリングングが生じ、図5のt<sub>1</sub>~t<sub>2</sub>期間及び図6のt<sub>1</sub>以後に示すようにドレイン・ソース間電圧V<sub>ds</sub>が比較的高い値になる。図6を参照して、スイッチング素子Q1のターンオフ時の動作を更に詳しく説明する。図6のV<sub>ds</sub>の波形は図5のV<sub>ds</sub>の波形の一部を拡大して示し、I<sub>d</sub>はダイオード16の電流を示す。スイッチング素子Q1が図6のt<sub>1</sub>でタ-ンオフ制御されると、ドレイン・ソース間電圧V<sub>ds</sub>がサージ電圧を伴う高い電圧になる。しかし、t<sub>2</sub>~t<sub>5</sub>に示すように僅かな遅れを有してダイオード16の電流I<sub>d</sub>が流れるので、ドレイン・ソース間電圧V<sub>ds</sub>が制限される。ダイオード16の電流I<sub>d</sub>はt<sub>2</sub>~t<sub>3</sub>区間で正方向に流れ、t<sub>3</sub>~t<sub>5</sub>区間で逆方向に流れる。t<sub>3</sub>~t<sub>5</sub>区間は逆回復時間t<sub>rr</sub>であり、t<sub>3</sub>~t<sub>4</sub>区間は蓄積時間t<sub>s</sub>である。t<sub>4</sub>~t<sub>5</sub>区間はダイオード16のp-n接合において、逆方向阻止能力が回復するように空乏層が広がるために必要な時間であり、一般にt<sub>d</sub>で示される。電気回路的にダイオード16は蓄積時間t<sub>s</sub>が終了するまでオン状態とみなすことができるので、図6においてt<sub>4</sub>まではLCのリングング回路がダイオード16を介してコンデンサ17に並列接続されている。この結果、t<sub>4</sub>時点まではLCによるリングングが阻止されている。しかし、t<sub>4</sub>後にリングングが開始する。t<sub>6</sub>時でリングングの電圧がコンデンサ17の電圧よりも高くなろうとすると、t<sub>6</sub>~t<sub>7</sub>区間に示すように再び抑制される。図4ではt<sub>7</sub>以後にはダイオード16がオンにならず、サージ吸収効果を伴わないリングングが発生し、このレベルが徐々に低下する。上述のようにリングングが発生すると、これが高周波ノイズとなり、外部回路を妨害する。また、スイッチング素子Q1のドレイン・ソース間の耐圧が低い時には、リングングによってスイッチング素子Q1が破壊

する。図4の直流電源1は、一般には、交流電源に接続した整流平滑回路から成るので、上述の高周波ノイズを除去するために交流入力ラインに比較的高いインピーダンスのノイズ除去用フィルタを設けることが必要になり、電源装置全体の効率低下、コストアップ、外形寸法の増大を招く。また、図4の回路は、第1のスイッチング素子Q1のオフ期間の全部においてフライバック電圧を得ることができないので、図1の回路と同様な問題点を有する。

【0010】そこで、本発明の目的は、スイッチング素子のターンオフ時におけるリングングを防止又は抑制することができ且つ電力損失を低減することができるDC-DCコンバータを提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決し、上記目的を達成するための本発明は、負荷に直流電力を供給するためのDC-DCコンバータであって、直流電圧を供給する直流電源と、前記直流電圧を繰返してオン・オフするために前記直流電源の一端と他端との間に接続され、且つ第1及び第2の主端子と制御端子とを有している主スイッチング素子と、前記主スイッチング素子を介して前記直流電源の一端と他端との間に接続された1次巻線と前記1次巻線に電磁結合された2次巻線とを有し、且つ前記1次巻線はインダクタンスと浮遊容量とを有しているトランスと、前記2次巻線の電圧を直流電圧に変換するための同期整流用スイッチング素子とダイオードとを含み且つ前記同期整流調整用スイッチング素子が前記2次巻線の電圧で駆動されるように形成されている同期整流回路と、前記主スイッチング素子をオン・オフ制御するための制御回路と、前記主スイッチング素子のターンオフ時に前記主スイッチング素子に印加されるサージ電圧を吸収するために前記1次巻線に対して並列に接続されたサージ吸収用コンデンサと、前記主スイッチング素子がオン状態の時に非導通状態に保たれ、前記主スイッチング素子のターンオフ時に順方向バイアスされる方向性を有して前記サージ吸収用コンデンサに直列に接続され、且つ前記1次巻線のインダクタンスとこのインダクタンスに対して電氣的に並列に分布している浮遊容量とに基づいて前記1次巻線に生じる振動電圧の周期の1/2よりも長く且つ前記主スイッチング素子の最小オフ期間よりも短い蓄積時間を有している整流ダイオードと、前記サージ吸収用コンデンサと前記整流ダイオードとの両方に直列に接続された直列抵抗とを有していることを特徴とするDC-DCコンバータに係わるものである。

【0012】なお、請求項2に示すように、サージ吸収用コンデンサに並列に放電用の並列抵抗を接続することができる。また、請求項3に示すように並列抵抗を、サージ吸収用コンデンサと直列抵抗との直列回路に対して並列に接続することができる。また、請求項4に示すよ

うに蓄積時間の長い整流ダイオードよりも短い蓄積時間の別の整流ダイオードを直列抵抗に対して並列に接続することができる。また、請求項5に示すように直列抵抗と整流ダイオードとを同一の包囲体に收容することができる。また、請求項6に示すようにサージ吸収回路をトランスの1次巻線に対して並列に接続することができる。また、請求項7に示すようにサージ吸収回路を主スイッチング素子に対して並列に接続することができる。また、請求項8に示すように蓄積時間を125ns～7μsの範囲の値することが望ましい。

【0013】

【発明の効果】各請求項の発明によれば次の効果を得ることができる。

(1) サージ吸収用コンデンサの容量、抵抗の値等の調整によって同期整流用スイッチング素子のオン制御期間を長くすることができ、効率向上を図ることができる。

(2) 主スイッチング素子がターンオフ制御された時に1次巻線に発生する高電圧（サージ電圧）によって整流ダイオードを通してサージ吸収用コンデンサに電流が流れ、サージ電圧が吸収される。その後、整流ダイオードは逆バイアス状態となるが、比較的高い蓄積時間を有するために逆バイアス状態であるにも拘らず、導通状態を維持する。従って、1次巻線に対してサージ吸収用コンデンサが並列的に接続された状態が比較的高い期間維持される。この結果、サージ吸収用コンデンサがダイオードを介して浮遊容量に対して並列的に接続された状態となり、1次巻線のインダクタンスと浮遊容量とによるリングングが抑制又は禁止される。この結果、リングングによるノイズの発生が抑制され、且つリングングによるスイッチング素子の破壊が防止される。

(3) サージ吸収後におけるサージ吸収用コンデンサの電荷が1次巻線を通して放出されるので、出力側又は電源側に電力が回生され、効率が向上する。

【0014】また、請求項2及び3の発明によれば、サージ吸収用コンデンサの放電調整の自由度が高くなる。また、請求項4の発明によれば、直列抵抗の影響を除去してターンオフ直後のサージ吸収を迅速に行うことができる。また、請求項5の発明によれば、直列抵抗と整流ダイオードとの一体化によって部品点数を低減し、コストの低減及び小型化を図ることができる。

【0015】

【実施形態】次に、図7～図14を参照して本発明の実施形態を説明する。但し、図7～図14において、図1～図6と実質的に同一部分には同一の符号を付してその説明を省略する。また、図7～図14において相互に共通する部分には同一の符号を付し、これを一方のみで詳しく説明し、他方でのこの説明は省略する。なお、以下の説明においても、必要に応じて図1～図5も参照する。

## 【0016】

【第1の実施形態】図7に示す第1の実施形態のフォワード型DC-DCコンバータは、図4のDC-DCコンバータのサージ吸収回路15の代りに改良されたサージ吸収回路15aを設けた他は、図4と同一に構成したものであり、例えば整流平滑回路から成る直流電源1と、トランス2と、主スイッチング素子としての第1のスイッチング素子Q1と、同期整流回路3と、平滑回路4と、制御回路5と、電圧検出回路6と、サージ吸収回路15aとを有する。

【0017】図7の改良されたサージ吸収回路15aは、図4のサージ吸収回路15に抵抗20を付加し、且つ図4の整流ダイオード16を蓄積時間 $t_s$ の長い整流ダイオード21に置き換えた他は図4と同一に構成したものである。

【0018】抵抗20は1次巻線8の電圧のリンギングのエネルギーを消費するものであって、整流ダイオード21及びサージ吸収用コンデンサ17の両方に対して直列に接続されている。従って、この抵抗20を直列抵抗と呼ぶことにする。この直列抵抗20の抵抗値は、直流電源1の電圧 $E_s$ が140V～280V程度の時に10～330 $\Omega$ 程度となるように設定され、図7の実施形態では約47 $\Omega$ である。サージ吸収用コンデンサ17と直列抵抗20との直列回路に対して並列に接続された放電用抵抗18は、好ましくは直列抵抗20よりも大きい値に設定される。なお、この抵抗18を直列抵抗20と区別するために並列抵抗と呼ぶことにする。この並列抵抗18は省くことも可能であるが、サージ吸収用コンデンサ17の放電設定の自由度を高めるために設けることが望ましい。

【0019】本実施形態の整流ダイオード21は、図4のダイオード16と同様にスイッチング素子Q1のターンオフ時の1次巻線8の電圧 $V_1$ で順方向バイアスされる向きを有して巻線8とサージ吸収用コンデンサ17との間に接続されている。従って、整流ダイオード21と直列抵抗20とサージ吸収用コンデンサ17との直列回路が1次巻線8に対して並列に接続されている。

【0020】整流ダイオード21の少数キャリアの蓄積時間 $t_s$ は、サージ吸収回路15aを設けない状態で、第1のスイッチング素子Q1がオフの時に1次巻線8の電圧に生じる振動電圧の周期 $T_1$ の1/2よりも長く且つ第1のスイッチング素子Q1の最小オフ期間よりも短い値を有する。なお、第1のスイッチング素子Q1のオフ時における1次巻線8に生じる振動電圧とは図5及び図6に示すものであって、スイッチング素子Q1のオフ状態における1次巻線8のインダクタンス $L$ とこの浮遊容量 $C_1$ とスイッチング素子Q1の浮遊容量 $C_2$ との合計 $C$ との共振回路によるものであり、第1のスイッチング素子Q1のオン・オフ周波数よりも十分に高い周波数を有する。1次巻線8のインダクタンス $L$ は漏れインダク

タンスと励磁インダクタンスとの和に相当する。ダイオード21の好ましい蓄積時間は、図5に示す $t_1 \sim t_2$ のLC共振によるリンギングの発生期間である。リンギングの周波数は約4MHz程度であり、リンギング期間は約2.5 $\mu s$ 程度、オフ期間は7 $\mu s$ 程度、リンギング周期は250ns程度であるので、ダイオード21の蓄積時間は125nsから7 $\mu s$ の範囲、より好ましくは125～500ns程度が望ましい。このダイオード21の蓄積時間は例えば300nsであって整流用ダイオードD2、D3及び図4のダイオード16の蓄積時間(約60ns)よりも大幅に長い。

【0021】ダイオード21はステップ状に順方向電流を流した時の順方向電圧 $V_F$ の立上り時の値が低いものから成る。ダイオード21のこの特性として、ステップ状に10mAの電流を流した時の順方向の立上り時のピーク値は6.4Vである。蓄積時間 $t_s$ 及び順方向電流の立上り特性を満足するダイオード21としてサンケン電気株式会社が製造しているダイオードSARS01を使用することができる。

【0022】次に、図8及び図9を参照して図7のDC-DCコンバータの動作を説明する。図7のDC-DCコンバータは、サージ吸収回路15aの動作を除いて図4のDC-DCコンバータと同様に動作する。即ち、スイッチング素子Q1のゲート・ソース間電圧 $V_{gs}$ を図8(A)に示すように断続的に高レベルにすることによってスイッチング素子Q1がオン・オフ動作し、オン期間 $T_{on}$ にコンデンサ11及び負荷14に電力が供給される。電圧検出回路6及び制御回路5による出力電圧の調整も図1及び図4のDC-DCコンバータと同様に行われる。

【0023】スイッチング素子Q1が図8の例えば $t_1$ でオフ状態に転換すると、トランス2の蓄積エネルギーの放出に基づいて1次巻線8にサージ電圧が発生するが、ダイオード21がオンになるために、サージ電圧がコンデンサ17で抑制され、スイッチング素子Q1のドレイン・ソース間電圧 $V_{ds}$ はさほど高い電圧にならない。サージ電圧の吸収でコンデンサ17の電圧が高くなると、ダイオード21に逆方向電圧が印加される。ダイオード21にはサージ電圧吸収時に流れた順方向電流の少数キャリアが蓄積されているため、逆方向電圧が印加されてもダイオード21は導通状態を維持し、図9の $t_3 \sim t_5$ に示すように、ダイオード21の電流 $I_d$ が逆方向に流れる。図9において $t_3 \sim t_4$ は蓄積時間 $t_s$ であり、 $t_4 \sim t_5$ の $t_d$ は、ダイオード21のpn接合において空乏層が広がる時間である。蓄積時間 $t_s$ の期間には、1次巻線8及びスイッチング素子Q1等の浮遊容量 $C$ がダイオード21と振動エネルギー吸収用抵抗20を介してコンデンサ17に並列に接続された状態となり、LCによる高い周波数の共振回路の形成が阻止され、これよりも十分に低い周波数の共振回路が形成される。この結



果、1次巻線8の電圧がリングングしなくなり、スイッチング素子3のドレイン・ソース間電圧 $V_{ds}$ は図8の $t_1$ 時点で極めて低いレベルのサージ電圧となった後に傾斜を有して低下し、 $t_2$ 時点よりも少し前でほぼ一定の値になる。図8の $t_1$ 直後でドレイン・ソース間電圧 $V_{ds}$ が低いのは、順方向電流の立上り時における抵抗及び電圧 $V_F$ が低いダイオード21を使用しているためである。なお、ダイオード21の蓄積時間 $t_s$ を比較的短い150ns程度にすればスイッチング素子のドレイン・ソース間電圧 $V_{ds}$ 及びダイオード21の電流 $I_d$ は図10に示すように変化する。この場合には低いレベルでリングングが生じるが、このリングングは図2の従来よりは改善される。上述のようにリングングによる高周波ノイズが発生しないと、外部回路に対する妨害が少なくなる。また、電源1を整流平滑回路で構成する場合においては、この入力交流ラインにリングングによるノイズを除去するためのフィルタを接続することが不要になり、電源装置全体の効率向上及び小型化及び低コスト化を図ることができる。本実施形態では、サージ吸収用コンデンサ17の容量、抵抗18の値の調整によって、図8

(B)に示すように平坦なフライバック電圧 $V_f$ が $t_1 \sim t_2$ のオフ期間 $T_{off}$ のほぼ全期間において得られている。このため、2次巻線9の電圧 $V_9$ の絶対値が図8(C)に示すようにオフ期間 $T_{off}$ の大部分の $t_1 \sim t_2$ において第3のスイッチング素子Q3のしきい値 $V_{th}$ よりも高くなる。 $t_2 \sim t_3$ 区間では2次巻線9の電圧 $V_9$ がしきい値 $V_{th}$ よりも低くなるので、第3のスイッチング素子Q3がオフになり、第3のダイオードD3のみを通して電流が流れる。従って、図8の $t_1 \sim t_2$ 区間の第3のスイッチング素子Q3の端子間電圧 $V_{as}$ は図8(E)に示すように零よりも僅かに高い値になり、 $t_1 \sim t_3$ 区間の電圧 $V_{as}$ は $t_1 \sim t_2$ 区間の電圧よりも少し高い値になる。図3(E)と図8(E)の比較から明らかに、本実施形態のオフ期間 $T_{off}$ における第3のスイッチング素子Q3のオン期間が図3に比べて長くなるので、同期整流の効果が良好に得られ、損失が少なくなる。

【0024】図7のDC-DCコンバータでは、ダイオード21が蓄積時間で導通している間に、コンデンサ17、抵抗20、ダイオード21、1次巻線8の閉回路にオン期間 $T_{on}$ の電流とは逆向きの電流が流れる。このため、コンデンサ17の放出エネルギーが2次巻線9側に回生され、効率向上に寄与する。即ち、抵抗18を介してコンデンサ17の放電の全部を行なわないで、1次巻線8に回生することができる。

#### 【0025】

【第2の実施形態】図11に示す第2の実施形態のDC-DCコンバータは、図7のDC-DCコンバータのサージ吸収回路15aをサージ吸収回路15bに変形し、この他は図7と同一に形成したものである。図11のサ

ージ吸収回路15bは図5のサージ吸収回路15aの並列抵抗18をコンデンサ17に直接に並列接続した他は、図7と同一に形成したものである。但し、図12に示すように直列抵抗20はダイオード21と一体に形成されている。

【0026】抵抗18、20の接続位置を図12に示すように変形したサージ吸収回路15bの動作は、図7のサージ吸収回路15aと実質的に同一であり、同一の作用効果を得ることができる。

【0027】この第2の実施形態では、更に、抵抗20とダイオード21とが図12に示すように包囲体としての同一の樹脂封止体23に收容されているので、両者を1つの複合部品24として取り扱うことができ、DC-DCコンバータの小型化、低コスト化を図ることができる。図12の複合部品24では、抵抗体チップから成る抵抗20と半導体チップから成るダイオード21とがろう材25で接合され、一方の端子26がろう材27で抵抗20に接合され、他方の端子28がろう材29でダイオード21に接合されている。

#### 【0028】

【第3の実施形態】図13に示す第3の実施形態のDC-DCコンバータは、図7のサージ吸収回路15aを変形したサージ吸収回路15cを設け、この他は図7と同一に構成したものである。図13のサージ吸収回路15cは図7のサージ吸収回路15aに第2の整流ダイオード16aを付加したものに相当する。即ち、図13のサージ吸収回路15cは、第1の整流ダイオード21と直列抵抗20とコンデンサ17との直列回路を図7と同様に有する。しかし、並列抵抗18は図11と同様にコンデンサ17に直接に並列接続されている。第2の整流ダイオード16aは直列抵抗20に並列に接続されている。第2の整流ダイオード16aは第1の整流ダイオード21よりも蓄積時間 $t_s$ が短いものであり、図4の従来の整流ダイオード16と同様な電気的特性を有する。

【0029】図13のDC-DCコンバータにおいてスイッチング素子Q1がターンオフした時には1次巻線8の電圧によって第1及び第2の整流ダイオード21、16aが導通し、これ等を通してコンデンサ17にサージ電流が流れる。従って、第2の整流ダイオード16aは直列抵抗20のバイパスとして機能している。コンデンサ17がサージ電圧を吸収し、この電圧 $V_c$ が高くなると、第1及び第2の整流ダイオード21、16aは逆バイアス状態になる。第2の整流ダイオード16aは蓄積時間が短いので、比較的短時間の内にオフ状態になるが、第1の整流ダイオード21は蓄積時間が長いので、オン状態に保たれ、図7の場合と同様にコンデンサ17と抵抗20と第1の整流ダイオード21との直列回路が1次巻線8に並列に接続され、1次巻線8の電圧 $V_1$ のリングングが防止される。従って、第3の実施形態は第1の実施形態と同一の効果を有し、更に、第2の整流ダ



イオード16aによるバイパス作用によってサージ吸収を迅速に行うことができるという効果を有する。

#### 【0030】

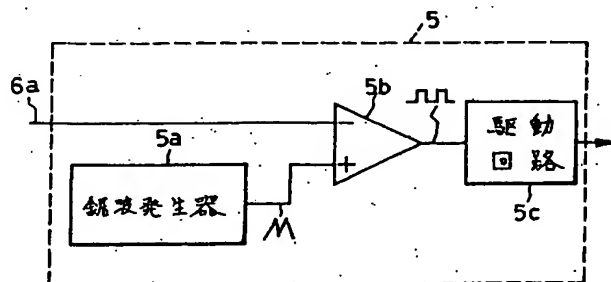
【第4の実施形態】図14に示す第4の実施例のDC-DCコンバータは、サージ吸収回路15dを第1のスイッチング素子Q1に並列に接続し、この他は図7と同一に構成したものである。即ち、図14のDC-DCコンバータは、サージ吸収用コンデンサ17を電源1を介して1次巻線8に並列に接続したものである。サージ吸収回路15dの接続箇所を図14に示すように変形して、図14のサージ吸収回路15dは図7のサージ吸収回路15aと同一であり、且つ1次巻線8に対する関係は交流的に図7と同一であるので、第1の実施形態と同様な作用効果を得ることができる。図14の場合には、コンデンサ17がサージ電圧を吸収した後のダイオード21の蓄積時間中は、コンデンサ17が電源1と1次巻線8との直列回路に対して並列に接続された状態となり、1次巻線8のLCによるリング電圧が抑制される。なお、図11及び図13のDC-DCコンバータの変形として、ここでのサージ吸収回路15b、15cを

#### 【0031】

【変形例】本発明は上述の実施形態に限定されるものでなく、例えば次の変形が可能なるものである。

- (1) スwitchング素子Q1、Q2、Q3をFETに限ることなく、バイポーラトランジスタ等の半導体スイッチとすることができる。
- (2) 第2及び第3ダイオードD2、D3を第2及び第3のスイッチング素子Q2、Q3とは別体の個別ダイオードとすることができる。
- (3) 制御回路5のための電源を形成するためにトランス2に3次巻線を設けることができる。
- (4) 電流帰還制御を行うためにスイッチング素子Q1に直列に電流検出用抵抗を接続することができる。
- (5) 制御回路5を変形してスイッチング素子Q1のオン・オフ制御形態を変えることができる。また、自励式DC-DCコンバータとすることができる。

【図2】

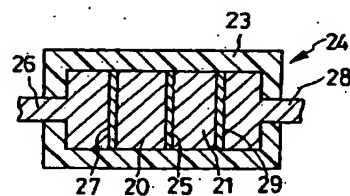


- (6) 電源1を電池とすることもできる。

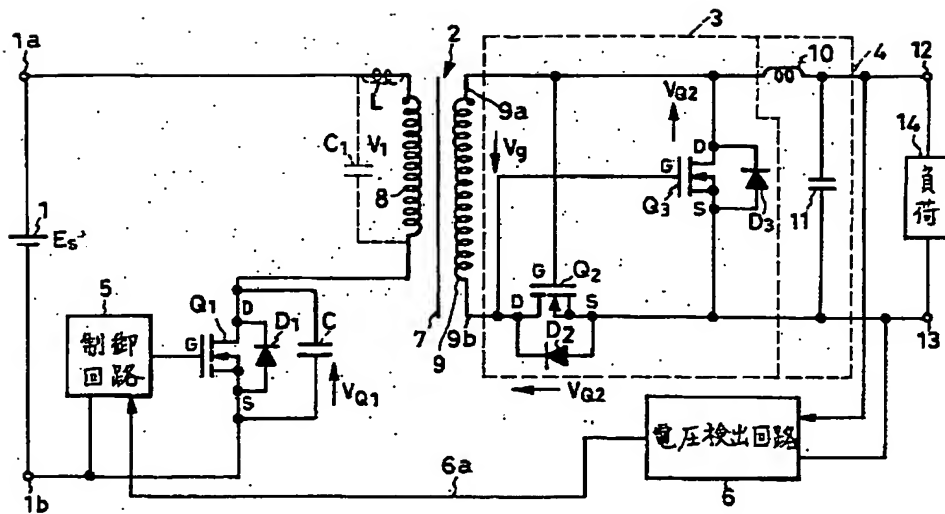
#### 【図面の簡単な説明】

- 【図1】従来のDC-DCコンバータを示す回路図である。
- 【図2】図1の制御回路を概略的に示すブロック図である。
- 【図3】図1の各部の電圧を概略的に示す波形図である。
- 【図4】別の従来のDC-DCコンバータを示す回路図である。
- 【図5】図4の各部の電圧を概略的に示す波形図である。
- 【図6】図4の $V_{DS}$ の一部及びダイオード16の電流を示す波形図である。
- 【図7】第1の実施形態のDC-DCコンバータを示す回路図である。
- 【図8】図7の各部の電圧を概略的に示す波形図である。
- 【図9】図8の $V_{DS}$ の一部及び図1のダイオード21の電流を示す波形図である。
- 【図10】図1のダイオード21の蓄積時間を短くした場合の $V_{DS}$ 及び $I_d$ を図9と同様に示す波形図である。
- 【図11】第2の実施形態のDC-DCコンバータを示す回路図である。
- 【図12】図11のダイオードと抵抗の複合素子を概略的に示す断面図である。
- 【図13】第3の実施形態のDC-DCコンバータを示す回路図である。
- 【図14】第4の実施例形態DC-DCコンバータを示す回路図である。
- 【符号の説明】
- 1 電源
  - 2 トランス
  - Q1, Q2, Q3 スwitchング素子
  - 17 サージ吸収用コンデンサ
  - 18, 20 抵抗
  - 21 ダイオード

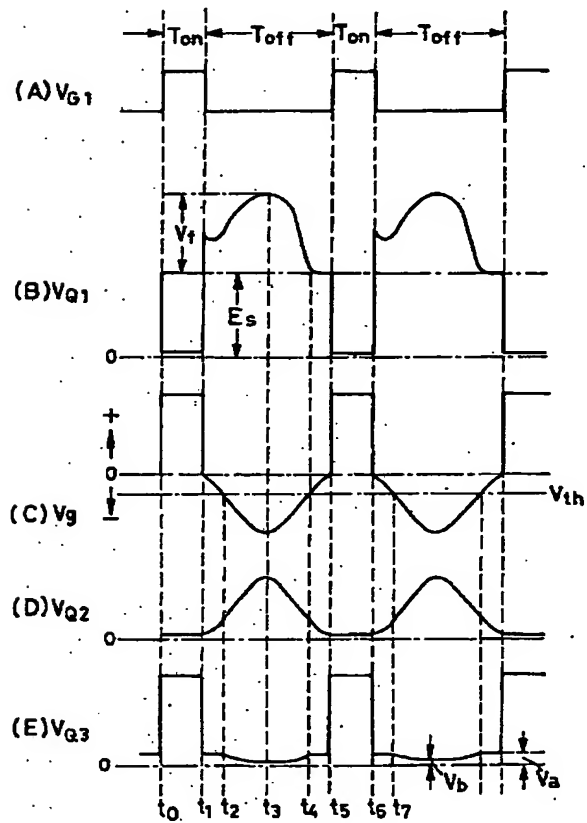
【図12】



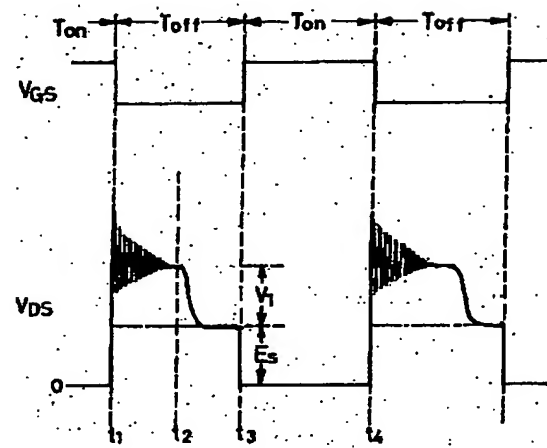
【図 1】



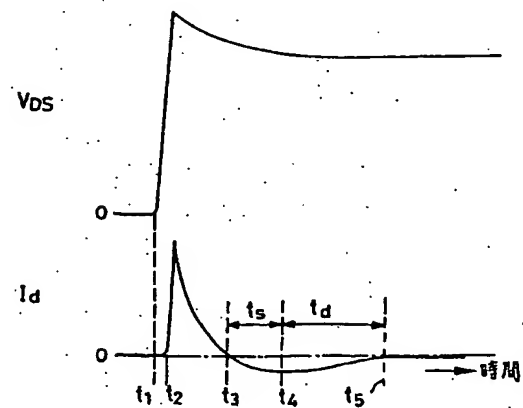
【図 3】



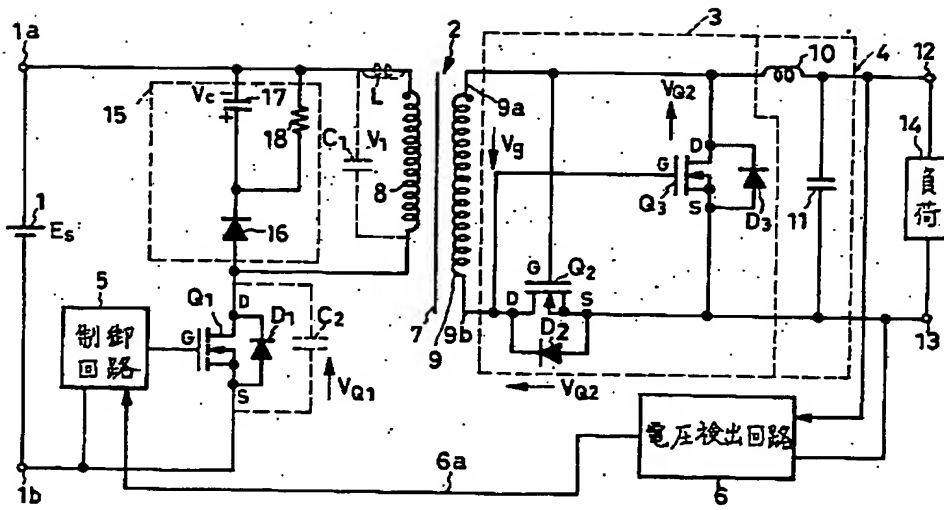
【図 5】



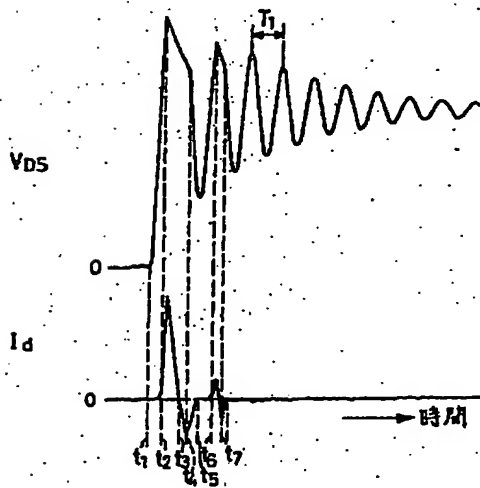
【図 9】



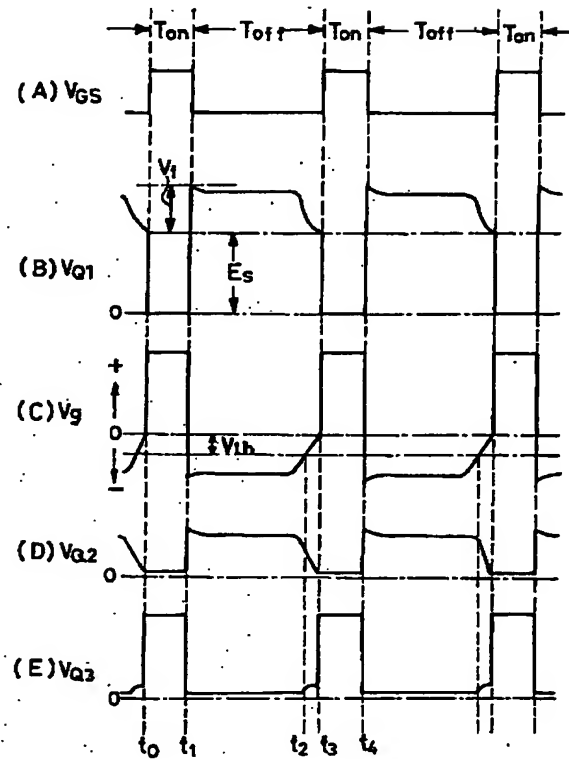
【図 4】



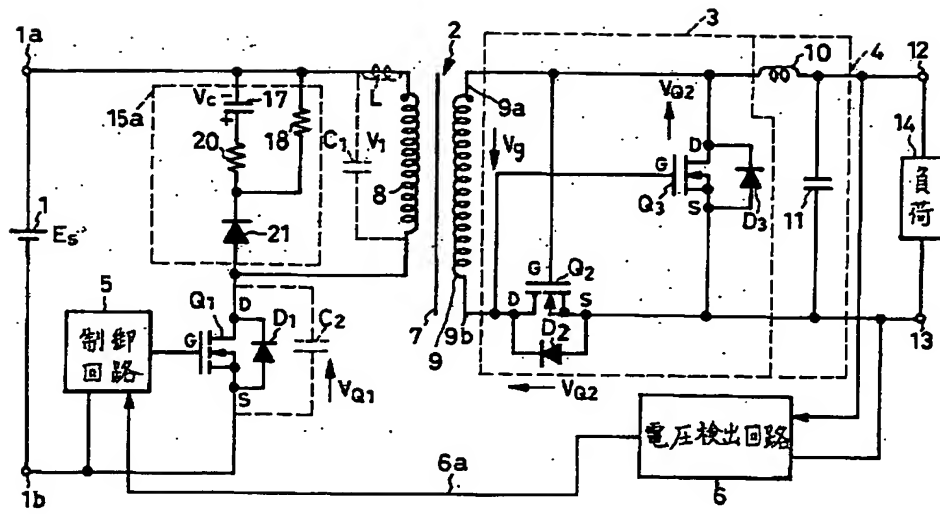
【図 6】



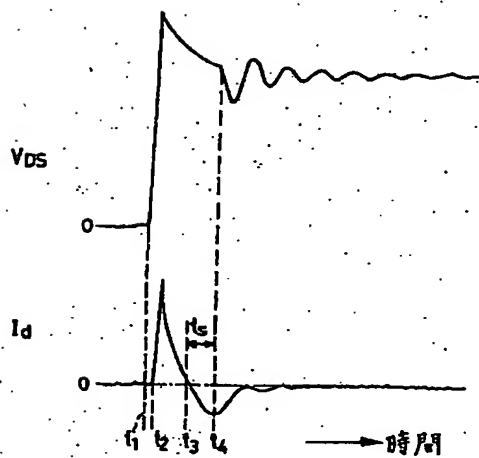
【図 8】



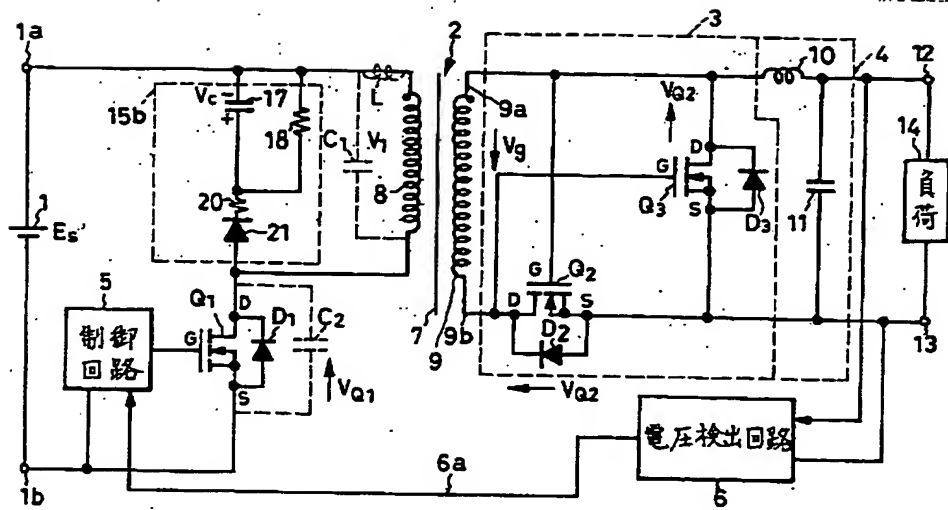
【図7】



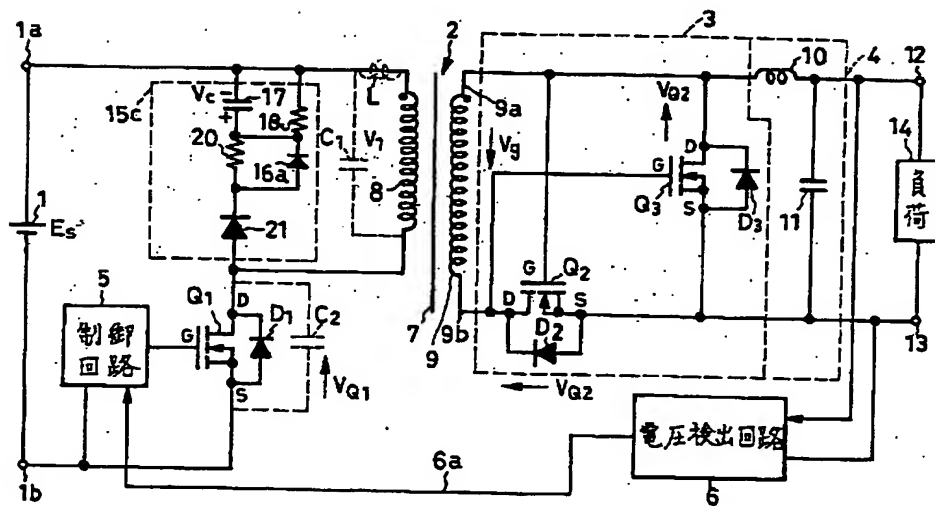
【図10】



【図 11】



【図 13】



【図 14】

